

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-143845

(43)Date of publication of application : 16.06.1988

(51)Int.CI.

H01L 21/90

(21)Application number : 61-290409

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.12.1986

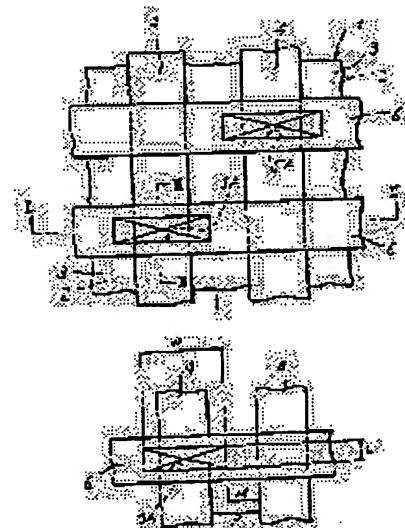
(72)Inventor : KAJIMOTO TAKESHI
SHINPO YUTAKA
TSUCHIYA OSAMU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve integration density, to improve electric reliability and to make operation speed quick, by reducing the interval between wirings, and forming connecting holes with the size larger than the width of the wiring.

CONSTITUTION: A field insulating film 2 is formed as a ground layer for a first wiring layer 4. An insulating film 3 is provided on the surface of said layer. The insulating film 3 is formed with an insulating material, whose etching speed is different from an interlayer insulating film 5 between the first wiring layers 4 and second wiring layers 6. Each connecting hole 5A is formed so that a size W is larger than the width of the first wiring layer 4 and a size L is smaller than the width of the second wiring layer 6. The connecting hole 5A is located in a size P of an the interval between the neighboring first wiring layers. A size M corresponding to a the deviating amount of the mask alignment of the other neighboring first wiring layer and the connecting hole 5A is secured. Since the interval between the neighboring wirings can be reduced, the integration density can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪公開特許公報 (A) 昭63-143845

⑫Int.C1
H 01 L 21/90識別記号 廷内整理番号
B-6708-5F

⑬公開 昭和63年(1988)6月16日

審査請求 未請求 発明の数 1 (全6頁)

⑭発明の名称 半導体集積回路装置

⑮特 願 昭61-290409

⑯出 願 昭61(1986)12月8日

⑰発明者 梶 本 敏 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑰発明者 新 保 豊 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑰発明者 土 屋 修 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑰出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 第1方向に延在する第1層目配線の上部に、周間絶縁膜を介在させて、第1方向と交差する第2方向に延在する第2層目配線を有する半導体集積回路装置において、前記第1層目配線を第2層目配線と異なる導電性材料で構成し、該第1層目配線と第2層目配線との交差部の周間絶縁膜に、前記第1層目配線の幅寸法に比べて大きな寸法で形成される接続孔を構成し、該接続孔を通して、前記第1層目配線と第2層目配線とを接続したことを特徴とする半導体集積回路装置。

2. 前記第1層目配線材料は、前記第2層目配線材料とエッティング速度が異なる導電性材料であることを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。

3. 前記接続孔は、第2層目配線の幅寸法に比べ

て、小さな寸法又は大きな寸法で形成されることを特徴とする特許請求の範囲第1項又は第2項に記載の半導体集積回路装置。

4. 前記第1層目配線の下地の層間絶縁膜の表面には、前記第1層目配線と第2層目配線との間の周間絶縁膜に比べて、エッティング速度の遅い層が構成されていることを特徴とする特許請求の範囲第1項乃至第3項に記載の半導体集積回路装置。

5. 前記層間絶縁膜は、エッティング速度が異なる、複数の絶縁層で構成されていることを特徴とする特許請求の範囲第1項乃至第3項に記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置、特に、多層配線構造を有する半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

半導体集積回路装置は、配線の引き回しを低減

して集積度を向上するために、多層配線構造を採用している。多層配線構造は、配線層と絶縁層とを交互に重ね合せて構成されている。配線層としては、例えば、多結晶シリコン配線やアルミニウム配線が使用されている。絶縁層としては、例えば、酸化シリコン膜やフォスفاتシリケートガラス(PSG)膜が使用されている。

通常、第1方向に延在する第1層目配線(下層配線)には、第1方向と交差する第2方向に延在する第2層目配線(上層配線)を接続している。この接続は、第1層目配線と第2層目配線との間の層間絶縁膜に形成される接続孔を通して行われる。接続孔の形成に際しては、第1層目配線、第2層目配線の夫々に対して製造工程におけるマスク合せずれを生じる。このため、接続孔部分の第1層目配線、第2層目配線の夫々は、前記マスク合せずれ量に相当する分、他の領域に比べて幅寸法を大きく構成している。この幅寸法を大きくした領域は、ドックボーンと呼ばれている。

なお、多層配線形成技術については、例えば、

配線は、接続孔部分において、抵抗値が増大するので、信号の伝達速度が低下し、動作速度が低下するという問題があった。

本発明の第1目的は、多層配線構造を有する半導体集積回路装置の集積度を向上することが可能な技術を提供することにある。

本発明の第2目的は、前記第1目的を達成すると共に、電気的信頼性を向上することが可能な技術を提供することにある。

本発明の第3目的は、前記第1及び第2目的を達成すると共に、動作速度の高速化を図ることが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と斬新な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【問題点を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

多層配線構造を有する半導体集積回路装置において、第1層目配線を第2層目配線と異なる導電

日経マグロウヒル社発行、MOS LSI 製造技術、昭和60年6月20日発行日、pp 121~142に記載されている。

【発明が解決しようとする問題点】

前述の第1層目配線、第2層目配線の夫々の接続部には、ドックボーンが必要とされている。このため、接続する第1層目配線の間隔、第2層目配線の間隔が増大するので、多層配線構造を有する半導体集積回路装置の集積度の向上に限界を生じるという問題があった。

また、第1層目配線のドックボーン上部に接続孔が形成されるので、第1層目配線の膜厚に相当する分、層間絶縁膜の段差が大きくなり、接続孔周辺部分の層間絶縁膜が突出した形状で形成される。第2層目配線をアルミニウム配線で形成した場合、このような突出した形状の層間絶縁膜の表面には第2層目配線が薄い膜厚で形成される。このため、第2層目配線は、エレクトロマイグレーションを生じ易いので、断線等、電気的信頼性を低下するという問題があった。さらに、第2層目

性材料で構成し、この第1層目配線と第2層目配線との交差部の層間絶縁膜に、第1層目配線の幅寸法に比べて大きな寸法で形成される接続孔を構成し、この接続孔を通して、第1層目配線と第2層目配線とを接続する。

【作用】

上記した手段によれば、前記接続孔部分の第1層目配線、第2層目配線の夫々に、マスク合せずれ量に相当する分の余裕寸法を設けなくてよく、第1層目配線の間隔、第2層目配線の間隔を夫々縮小することができるので、集積度を向上することができる。

以下、本発明の構成について、一実施例とともに説明する。

なお、全図において、同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【実施例1】

本発明の実施例1である多層配線構造の半導体集積回路装置を第1図(要部平面図)で示し、第1

同のⅠ-Ⅰ線で切った断面を第2図、Ⅱ-Ⅱ線で切った断面を第3図に夫々示す。なお、第1図及び後述する第4図、第5図、第8図の夫々は、本実施例の構成をわかり易くするために、配線層間の層間絶縁膜は図示しない。

第1図乃至第3回において、1は単結晶シリコンからなる半導体基板(又はウエル領域)である。

MISFET等の半導体素子(図示していない)間の半導体基板1の主面には、フィールド絶縁膜2が設けられている。フィールド絶縁膜2は、半導体素子間を電気的に分離するように構成されている。フィールド絶縁膜2は、例えば、半導体基板1を選択的に酸化した酸化シリコン膜で形成され、3000~5000 [Å] 程度の膜厚で形成されている。

このフィールド絶縁膜2は、第1層目配線4の下地層として形成され、その表面には、絶縁膜3が設けられている。絶縁膜3は、第1層目配線4と第2層目配線6との間の層間絶縁膜5とエッチング速度の異なる絶縁性材料で構成されている。

いる。

第2層目配線6は、第1層目配線4の上部に、層間絶縁膜5を介して設けられており、第2方向に延在している。第2層目配線6は、層間絶縁膜5に形成された接続孔5Aを通して、第1層目配線4と接続されている。第2層目配線6は、例えば、アルミニウム膜、所定の添加物(SiやCu)が含有されたアルミニウム膜で形成される。つまり、第1層目配線4は、第2層目配線6と異なる導電性材料で形成されている。

前記層間絶縁膜5は、例えば、酸化シリコン膜やPSG膜で形成され、4000~8000 [Å] 程度の膜厚で形成される。

前記接続孔5Aは、第1図及び第4図(要部模写図)で示すように、第1層目配線4の幅寸法に比べて大きな寸法Wで構成され、第2層目配線6の幅寸法に比べて小さな寸法Lで構成されている。

従来は、第5図(要部模写図)及び第6図で示すように、第1層目配線4、第2層目配線6の夫々に領域(ドックボーン)4A、6Aを設け、この

絶縁膜3は、例えば、スパッタやCVDで形成した空化シリコン膜を用い、その膜厚を1000~2000 [Å] 程度の薄い膜厚で形成する。

この下地層(2及び3)の上部には、第1方向に延在する(第1回においては行方向に延在する)第1層目配線4が設けられており、第1層目配線4には、第2層目配線6が接続されている。

第1層目配線4は、例えば、マスクROM、DRAM等のワード線を構成するようになっており、MISFETのゲート電極と同一導電性材料で形成されている。具体的には、第1層目配線4は、多結晶シリコン膜で形成されている。また、第1層目配線4は、高融点金属(Mo, Ti, Ta, W)膜、高融点金属シリサイド(MoSi₂, TiSi₂, TaSi₂, WSi₂)膜の単層で形成してもよい。

また、第1層目配線4は、多結晶シリコン膜の上部に高融点金属膜或は高融点金属シリサイド膜を重ね合せた複合膜で形成してもよい。第1層目配線4は、第1方向と交差する第2方向(第1回においては列方向)に所定の間隔で複数配置されて

部分に接続孔5Bを形成して、第1層目配線4と第2層目配線6とを接続していた。領域4Aは、第1層目配線4及び接続孔5Bを最小加工寸法で形成した場合、第1層目配線4と接続孔5Bとの製造工程におけるマスク合せずれ量に相当する分の寸法Mを配線幅に加えた寸法で形成されている。同様に、領域6Aは、第2層目配線6の配線幅に寸法Mを加えた寸法で形成されている。つまり、隣接する第1層目配線4の間隔は、寸法Mに、第1層目配線4の領域4Aと隣接する他の第1層目配線4との間の寸法Pを加えた寸法P₁で形成される。第2層目配線6の間隔についても同様である。

これに比べて、本発明の接続孔5Aは、第4回に示すように、隣接する第1層目配線4の間隔の寸法P内に、隣接する他の第1層目配線4と短絡しない範囲において、隣接する他の第1層目配線4と接続孔5Aとのマスク合せずれ量に相当する分の寸法Mを確保している。すなわち、第1層目配線4の幅寸法に比べて大きな寸法の接続孔5A

を構成することにより、第2層目配線6との接続部分における第1層目配線4に、マスク合せずれ量に相当する分の寸法Mを設けなくてよいので（領域4Aつまりドックボーンの廃止）、隣接する第1層目配線4の間隔を寸法Pに縮小することができる。接続孔5Aの形成は層間絶縁膜5をエッチングすることで行われるが、オーバエッチングを行う場合、第1層目配線4の下地層に絶縁膜3を構成しているので、接続孔5A内に下地層が露出しても損傷されることがない。

また、第1層目配線4と第2層目配線6とを異なるエッティング速度の導電性材料で構成することにより、接続孔5Aに対して第2層目配線6がマスク合せずれを生じた場合、接続孔5A内に第1層目配線4が露出しても第2層目配線6のエッティング工程で、第1層目配線4がエッティングされないようにする（損傷や断線を防止する）ことができる。つまり、第2層目配線6は、接続孔5Aとの間にマスク合せずれ量に相当する寸法Mを設ける必要がない（領域6Aつまりドックボーンの廃止）

ので、電気的信頼性を向上することができる。さらに、この部分での第2層目配線6の抵抗値を低減することができる。

前記第1層目配線4と第2層目配線6との接続部での接続抵抗値の低減、第2層目配線6の抵抗値の低減は、信号伝送速度を速め、動作速度の高化を図ることができる。

なお、本発明は、第2層目配線6と、図示していないがその上部に形成される第3層目配線との間の層間絶縁膜に形成される接続孔を、第2層目配線6の幅寸法に比べて大きな寸法で構成してもよい。

【実施例Ⅱ】

本実施例Ⅱは、接続孔の形成に際して、第1層目配線の下地層の損傷を低減した、本発明の他の実施例である。

本発明の実施例Ⅱである多層配線構造の半導体集積回路装置を第7図（要部断面図）で示す。

第7図に示すように、本実施例Ⅱは、第1層目配線4と第2層目配線6との間の層間絶縁膜5を、

ので、隣接する第2層目配線6の間隔を縮小することができる。

このように、隣接する第1層目配線4の間隔、隣接する第2層目配線6の間隔を夫々縮小することができるので、多層配線構造の半導体集積回路装置の集成度を向上することができる。

また、第1層目配線4の幅寸法に比べて大きな寸法で接続孔5Aを構成することにより、第1層目配線4の上面及び側壁と第2層目配線6とを接続することができるので、接続面積を増加し、接続抵抗値を低減することができる。

また、第1層目配線4の幅寸法に比べて大きな寸法で接続孔5Aを構成することにより、層間絶縁膜4の段差を小さくし、接続孔5Aの周辺部分（第2図及び第6図において、点線で囲まれ符号Aを付けた部分）の突出形状を緩和することができる。この部分での第2層目配線6の膜厚を厚くすることができるので、第2層目配線6の膜厚を厚くすることは、エレクトロマイグレーションによる第2層目配線6の断線を防止することができる

異なるエッティング速度の絶縁膜5aとそれよりも厚い膜厚の絶縁膜5bとで構成している。絶縁膜5aは例えば塗化シリコン膜で形成し、絶縁膜5bは例えば強化シリコン膜やPSG膜で形成する。

このように構成される多層配線構造の半導体集積回路装置は、前記実施例Ⅰと略同様の効果を得ることができる。

また、層間絶縁膜5は、接続孔5Aを形成するエッティング工程に際して、第1層目配線4の下地層（2）のオーバエッチング量を低減し、その損傷を防止することができる。つまり、層間絶縁膜5は、絶縁膜5bをエッティングし、接続孔5Aの大半を形成する際に、絶縁膜5aがエッティングストップ層として作用し、下地層のオーバエッチング量を低減することができる。

【実施例Ⅲ】

本実施例Ⅲは、第1層目配線と第2層目配線との接続面積を増加した、本発明の他の実施例である。

本発明の実施例Ⅲである多層配線構造の半導体

集積回路装置を第8図(要部平面図)で示す。

第8図に示すように、本実施例Ⅲは、接続孔5Aを第1層目配線4、第2層目配線6の中央の幅寸法に比べて大きな寸法で構成している。

このように構成される多層配線構造の半導体集積回路装置は、前記実施例Ⅰと略同様の効果を得ることができる。

また、第1層目配線4と第2層目配線6との接触抵抗値をさらに低減し、或は第2層目配線の突出形状の緩和による抵抗値をさらに低減することができる。より動作速度の高速化を図ることができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変形し得ることは勿論である。

例えば、本発明は、半導体領域(拡散層)で形成される第1層目配線と、その上層の導電層(例えば、多結晶シリコン層あるいはアルミニウム配線

等)とを接続する場合にも適用することができる。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得ることができる効果を簡単に説明すれば、次のとおりである。

多層配線構造を有する半導体集積回路装置において、配線間隔を縮小することができる。集積度を向上することができる。

また、配線の幅寸法に比べて大きな寸法で接続孔を構成することができるため、接触面積を増加し、接触抵抗値を低減することができ、その結果、電気的信頼性を向上すること及び動作速度の高速化を図ることが可能となる。

さらに、下地配線の幅寸法に比べて大きな寸法で接続孔を構成することにより、層間絶縁膜の段差を小さくし、接続孔の周辺部分の突出形状を緩和することができる。この部分での上層配線の膜厚を厚くすることができ、その結果、エレクトロマイグレーションによる断線等を防止すること、すなわち、電気的信頼性を向上すること及び

この部分での配線抵抗値を低減すること、すなわち、動作速度の高速化を図ることが可能となる。

4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰである多層配線構造の半導体集積回路装置を示す要部平面図。

第2図は、第1図のⅡ-Ⅱ線で切った断面図。

第3図は、第1図のⅢ-Ⅲ線で切った断面図。

第4図は、第1図に示す半導体集積回路装置の要部模写図。

第5図は、従来の半導体集積回路装置の要部模写図。

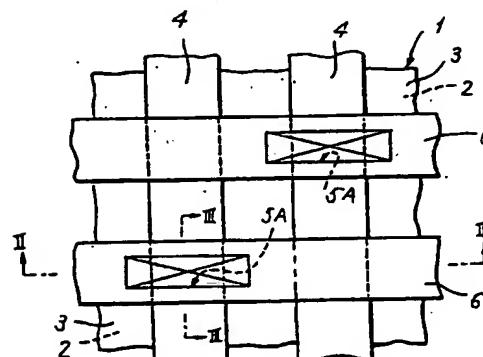
第6図は、第5図のⅣ-Ⅳ線で切った断面図。

第7図は、本発明の実施例Ⅱである多層配線構造の半導体集積回路装置を示す要部断面図。

第8図は、本発明の実施例Ⅲである多層配線構造の半導体集積回路装置を示す要部平面図である。

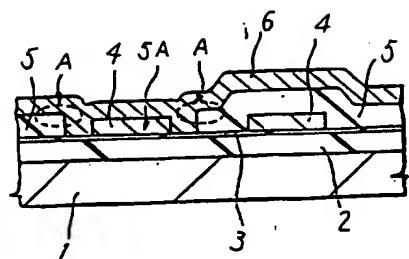
図中、1…半導体基板、2…フィールド絶縁膜、3, 5a, 5b…絶縁膜、4…第1層目配線、5…層間絶縁膜、5A…接続孔、6…第2層目配線である。

第1図

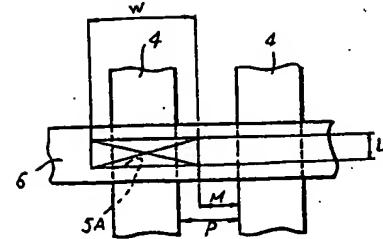


- 1 - 半導体基板
- 2 - フィールド絶縁膜
- 3, 5a, 5b - 絶縁膜
- 4 - 第1層目配線
- 5 - 層間絶縁膜
- 5A - 接続孔
- 6 - 第2層目配線

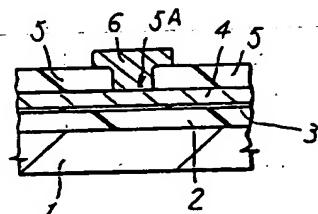
第 2 図



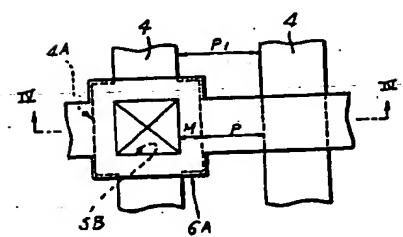
第 4 図



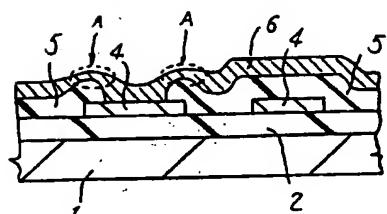
第 3 図



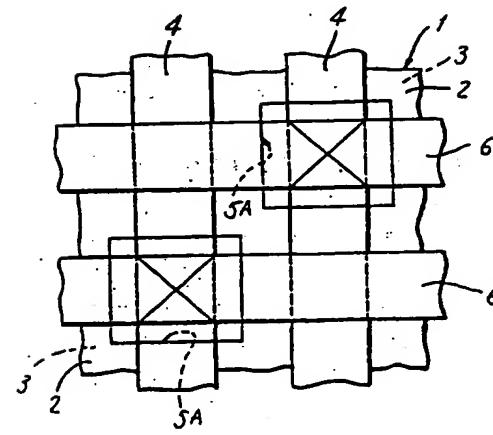
第 5 図



第 6 図



第 8 図



第 7 図

